

BH

Citation 4

(Translation of Relevant parts and Abstract)

Japanese Patent Application Laying Open (KOKAI) No. 5-46379

laid open to the public February 26, 1993

Japanese Patent Application No. 3-230978

filed August 19, 1991

Priority(ies) claimed: None

Applicant(s): Mitsubishi Electric Corporation, Tokyo, Japan

Inventor(s): Hiromi OKAZAKI et al., Japanese citizens

Title of Invention: DATA TRANSFER SYSTEM

Detailed Description of the Invention:

[0011]

The present invention is adapted to solve the abovementioned problems. The present invention intends to provide a data transfer method for enabling transfers of pieces of data between a plurality of registers and a plurality of continuous memory regions at a time.

[0023]

Next, the operations of this embodiment will be described with reference to Figures 1-3. When an instruction represented by nimonc 21 in Figure 1 is read from outside memory 14 to IF unit 8, the instruction is sent to D unit 9 and decoded. Then the instruction is determined to be an instruction for transferring data pieces from a plurality of continuous memory regions to a plurality of registers.

BEST AVAILABLE COPY

The instruction is sent to the next A unit 10. At A unit 10, address calculation is carried out with various types of address modifications if required in a part corresponding to the top address (top address designating unit 22a) of the first continuous memory region for executing a transfer among parts corresponding to operand (operand designating unit 22) in the instruction. Then the effective address is fetched and sent to the next E unit 11. In E unit 11, register list field 3 in the instruction is referenced from the side of MSB, and 32 bits of data is transferred from outside memory 14 through outside data bus 15b to general-purpose register 12 designated by the first bit of 1. After transferring a piece of data, four addresses are incremented at E unit 11, and memory address for the next data is designated via an address bus. A value in the continuous region transferring numbers designation register 24 is decremented by one. If the resulted value is not 0, a data transfer is continued as above. If the value is 0, a value of address offset register 25 is added to the top address of the first continuous memory region to make an address of the second continuous memory region. 16 bits of register list field 3 are referenced to LSB and the above operations are repeated. When data has been transferred from outside memory 14 to general-purpose register 12, the instruction ends.

[0024]

With instruction STM 2 for transferring pieces of data from registers to continuous memory regions by a single instruction, operations opposite to the abovementioned operations are executed.

[Figure 1]

21: NIMONIC OF AN INSTRUCTION

22: OPERAND DESIGNATING UNIT

22a: TOP ADDRESS DESIGNATING UNIT

22b: REGISTER LIST UNIT

[Figure 2]

#1 BIT POSITION

#2 REGISTER

3: REGISTER LIST FIELD INCLUDED IN AN INSTRUCTION

4: REFERENCING DIRECTION

24: CONTINUOUS REGION TRANSFERRING NUMBERS DESIGNATION REGISTER

25: ADDRESS OFFSET DESIGNATION REGISTER

[Figure 3]

13 BUS INTERFACE UNIT
14 OUTSIDE MEMORY
30 INSTRUCTION QUEUE
31 DECODER
32 MICRO ROM
33 COMPUTING UNIT
#1 32 bits
#2 8 bits
7: MICRO PROCESSOR
8: INSTRUCTION FETCH UNIT (IF UNIT)
9: INSTRUCTION DECODE UNIT (D UNIT)
10: ADDRESS CALCULATION UNIT (A UNIT)
11: INSTRUCTION EXECUTION UNIT (E UNIT)
12: GENERAL-PURPOSE REGISTER
15: OUTSIDE BUS
15a: OUTSIDE ADDRESS BUS
15b: OUTSIDE DATA BUS
24: CONTINUOUS REGION TRANSFERRING NUMBERS DESIGNATION REGISTER
25: ADDRESS OFFSET DESIGNATION REGISTER

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

05-046379

(43)Date of publication of application : 26.02.1993

(51)Int.CI.

G06F 9/30

G06F 12/02

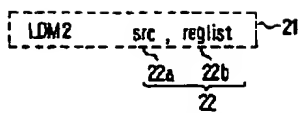
(21)Application number : 03-230978 (71)Applicant : MITSUBISHI
ELECTRIC CORP(22)Date of filing : 19.08.1991 (72)Inventor : OKAZAKI HIROMI
NAKANO NAOYOSHI**(54) DATA TRANSFER SYSTEM****(57)Abstract:**

PURPOSE: To simultaneously execute a transfer of plural data by providing a continuous area transfer piece number designation register and an address offset designation register, and designating that which becomes a transfer object by plural general registers.

CONSTITUTION: When it is decided to be an instruction for transferring plural data from plural continuous memory areas to plural registers, an address calculating part 10 fetches an effective address. In an instruction executing part 11, the fetched effective address is designated, a register list field in the instruction is referred to and to a general register 12 designated by a bit which becomes '1' in the beginning, data is transferred by 32 bits from an external memory 14. When one data transfer is finished, a memory address of the next data is designated in the instruction executing part 11. Subsequently, the value of a continuous area transfer piece number designation register 24 is subtracted by '1', and when its value is '0', the value of an address offset register 25 is added to the head address of an initial continuous memory area and it becomes the address of a second continuous memory area.

Fig. 1

【図1】



21: 命令のモニタ、22: オペランド指定部、
22a: 先頭アドレス指定部、22b: レジスタリスト部

Fig. 4

【図4】

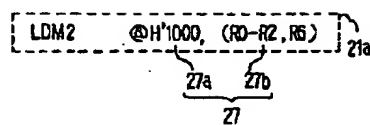
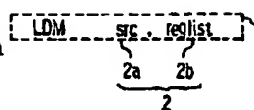


Fig. 9

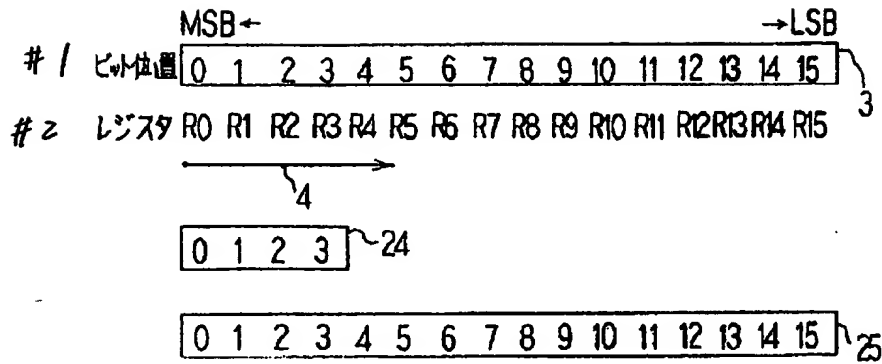
【図9】



1: 命令のモニタ、2: オペランド指定部、
2a: 先頭アドレス指定部、2b: レジスタリスト部

Fig. 2

【図2】



3; 命令に含まれるレジスタリストフィールド

4; 参照を行う方向

24; 連続領域転送個数指定レジスタ

25; アドレスオフセット指定レジスタ

Fig. 7

【図5】

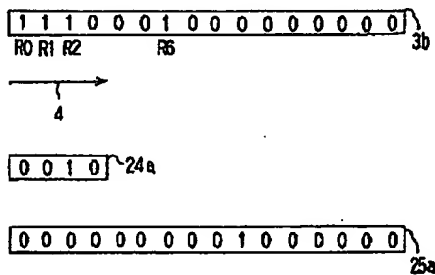


Fig. 12

【図12】

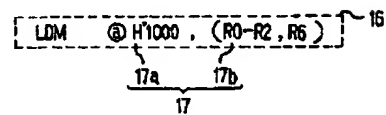
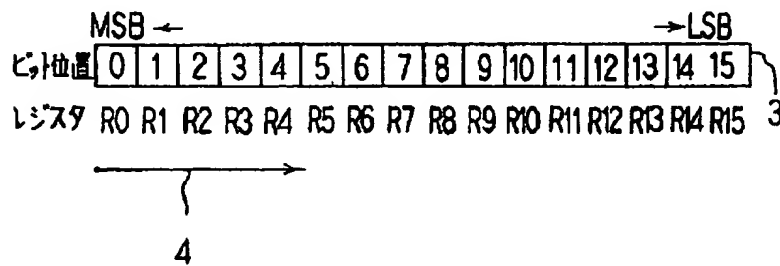


Fig. 10

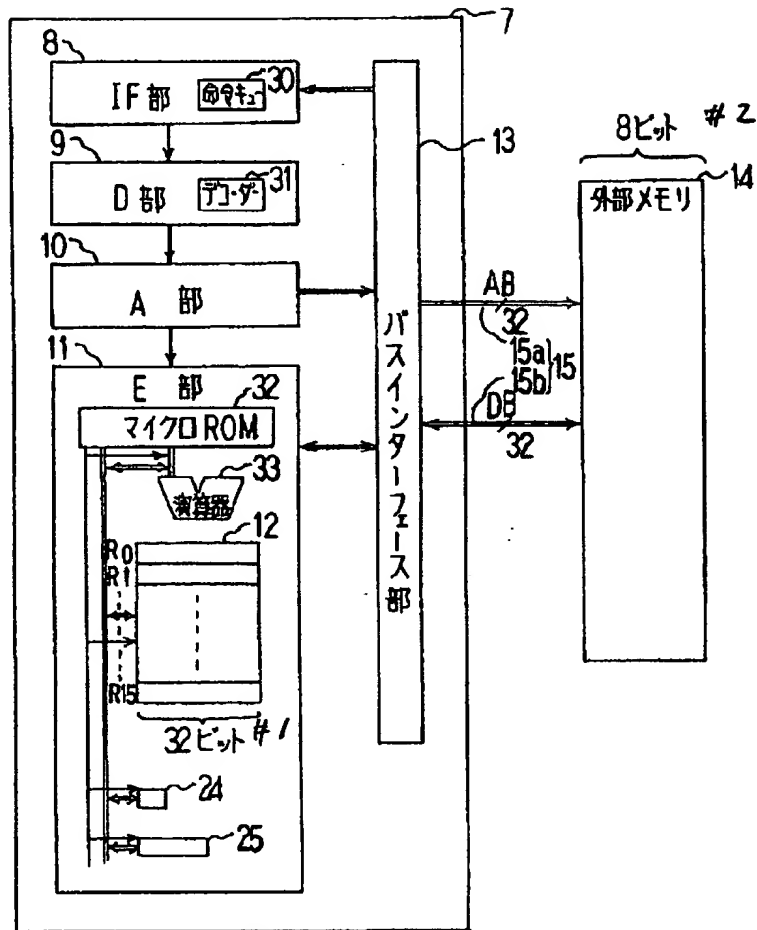
【図10】



3; レジスタリストフィールド

Fig. 3

【図3】



- | | |
|------------------|---------------------|
| 7; マイクロプロセッサ | 15; 外部バス |
| 8; 命令フェッチ部 (IF部) | 15a; 外部アドレスバス |
| 9; 命令デコード部 (D部) | 15b; 外部データバス |
| 10; アドレス計算部 (A部) | 24; 連続領域転送回数指定レジスタ |
| 11; 命令実行部 (E部) | 25; アドレスオフセット指定レジスタ |
| 12; 汎用レジスタ | |

Fig. 13

【図13】

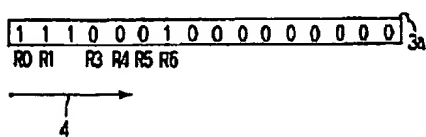


Fig. 6

【図6】

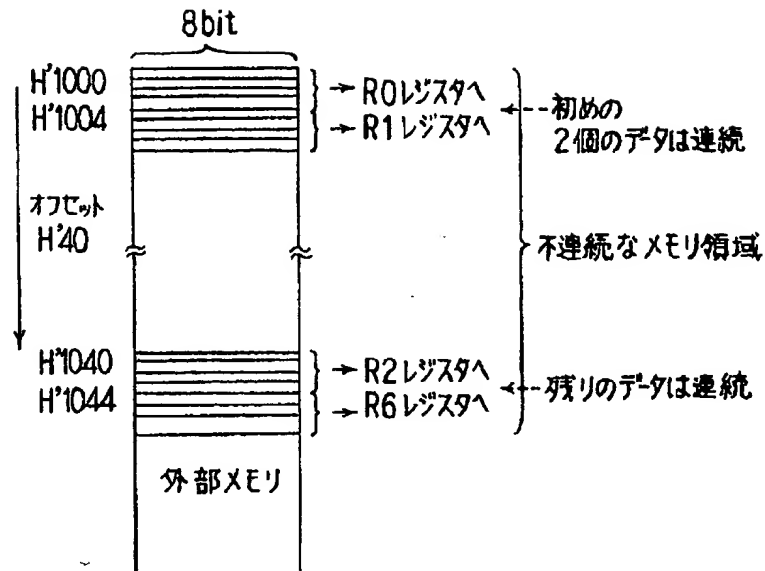


Fig. 7

【図7】

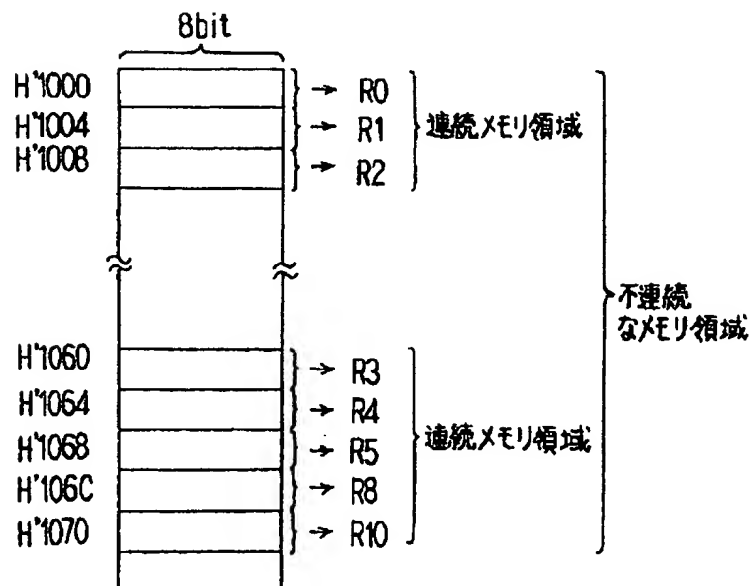


Fig. 6

【図8】

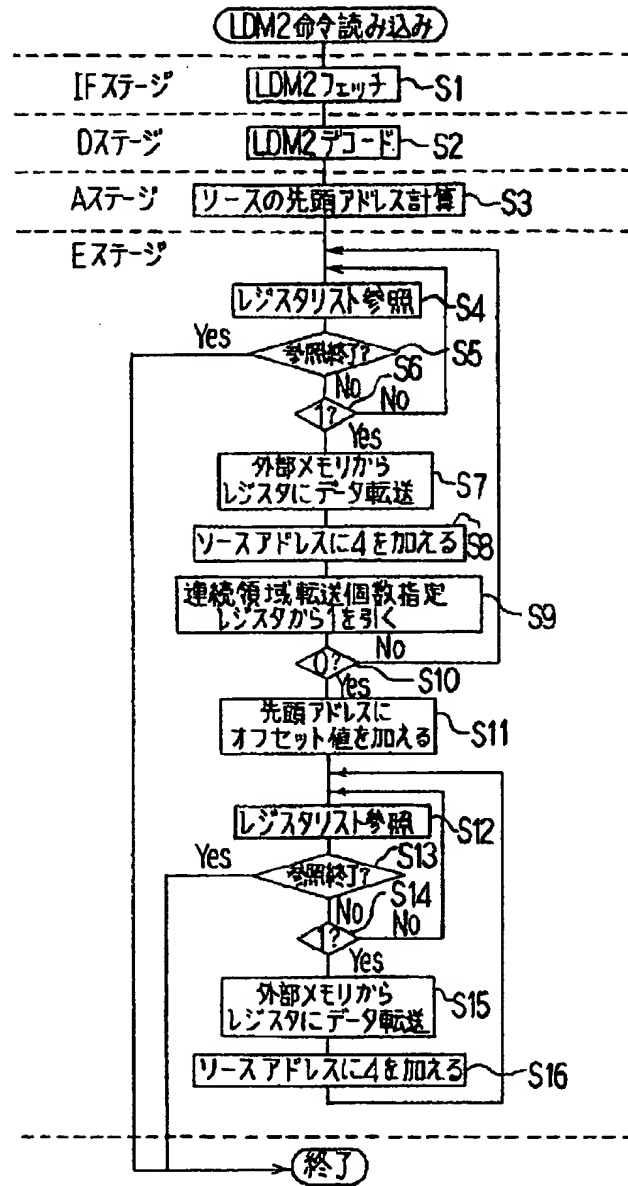


Fig. 11

【図11】

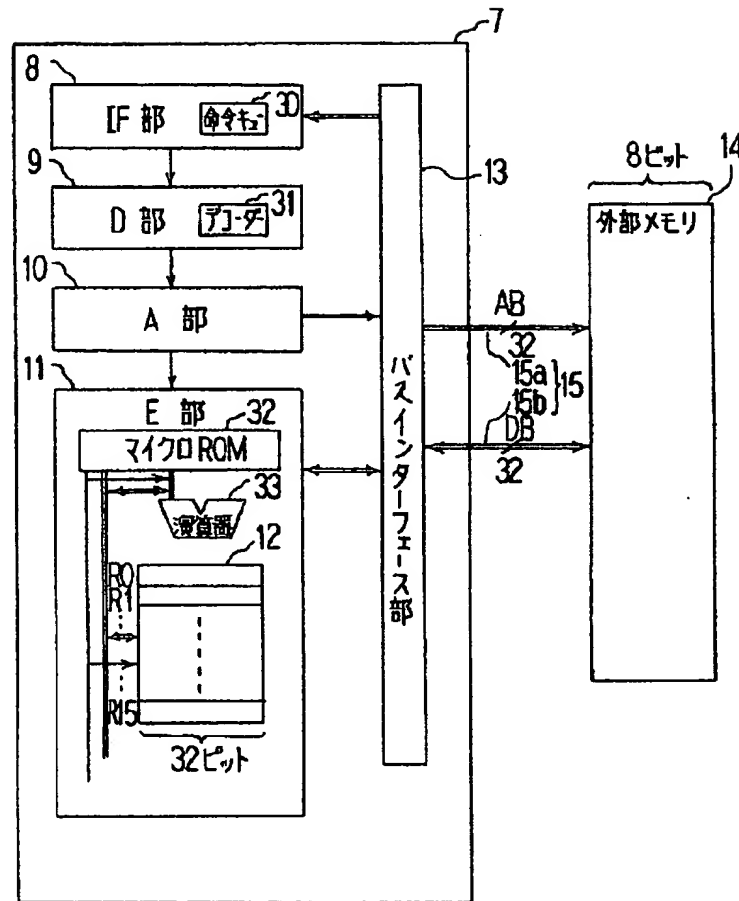


Fig. 5 (amended)

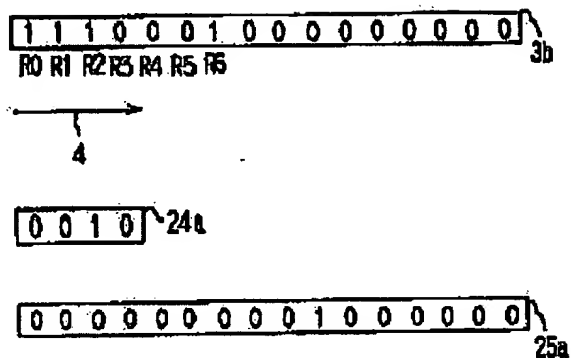


Fig. 10 (amended)

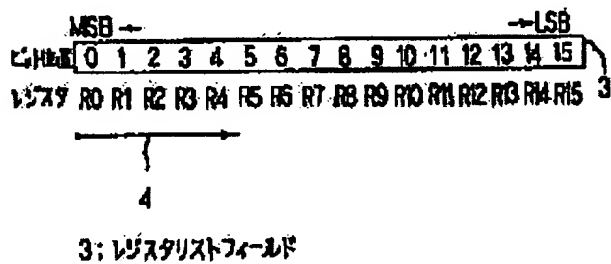
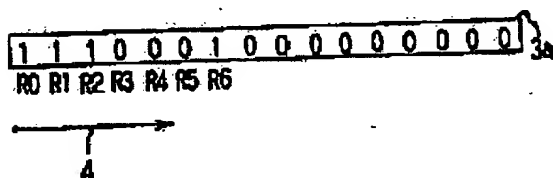


Fig. 13 (amended)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-46379

(43) 公開日 平成5年(1993)2月26日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/30	3 5 0 B	9189-5B		
12/02	5 6 0	8841-5B		

審査請求 未請求 請求項の数4 (全 15 頁)

(21) 出願番号 特願平3-230978

(22) 出願日 平成3年(1991)8月19日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岡崎 弘美

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

(72) 発明者 中野 直佳

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

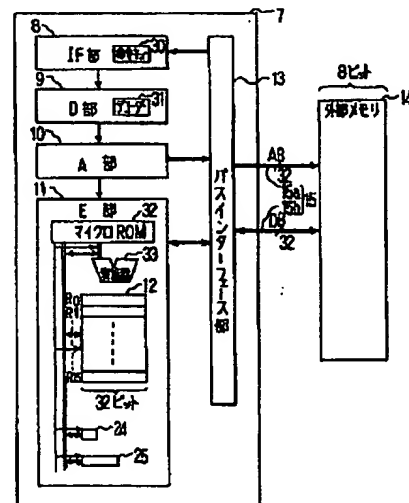
(74) 代理人 弁理士 宮園 純一

(54) 【発明の名称】 データ転送方式

(57) 【要約】

【目的】 複数のレジスタと複数の連続メモリ領域との間の複数データの転送を1度に行なうようにする。

【構成】 複数の汎用レジスタ12と、転送するデータの個数を指定する連続領域転送個数指定レジスタ24と、アドレスオフセット値を指定するアドレスオフセット指定レジスタ25を備え、命令中に複数の汎用レジスタ12で転送の対象となるものを指定するフィールドを有する事によって、複数の汎用レジスタ12と複数の連続メモリ領域との間で、複数のデータの転送を行なう命令を備える。



7: マイクロプロセッサ
8: 命令フェッチ部 (IF部)
9: 命令デコード部 (D部)
10: アドレス計算部 (A部)
11: 命令実行部 (E部)
12: 汎用レジスタ
13: 外部バス
14: 外部アドレスバス
15: 外部データバス
16: 連続領域転送個数指定レジスタ
17: アドレスオフセット指定レジスタ

1

【特許請求の範囲】

【請求項1】 複数の1ワード長構成の汎用レジスタと、メモリ上の連続した領域のワード数を指定する第1のレジスタと、アドレスオフセット値を指定する第2のレジスタとを備えたデータ処理装置において、上記メモリと上記複数の汎用レジスタ間のデータ転送を行う転送命令を持ち、上記転送命令は、上記メモリ上のアドレスを特定するためのアドレッシング指定フィールドと、上記複数の汎用レジスタの内転送の対象となるものを指定するレジスタ指定フィールドとを備え、上記転送命令を実行する際、上記アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、上記第1のメモリアドレスに上記第2のレジスタで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、上記第1のメモリアドレスからの領域であり上記第1のレジスタで指定されたワード分の連続したメモリ領域と、上記レジスタ指定フィールドで指定された汎用レジスタとの間でデータの転送を行い、上記レジスタ指定フィールドで指定された汎用レジスタの個数が、上記第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと、上記第2のメモリアドレスから連続したメモリ領域との間でデータ転送することを特徴とするデータ転送方式。

【請求項2】 複数の1ワード長構成の汎用レジスタと、メモリ上の連続した領域のワード数を指定する第1のレジスタと、アドレスオフセット値を指定する第2のレジスタと、上記複数の汎用レジスタの内転送の対象となるものを指定する第3のレジスタとを備えたデータ処理装置において、上記メモリと上記複数の汎用レジスタ間のデータ転送を行う転送命令を持ち、上記転送命令は、上記メモリ上のアドレスを特定するためのアドレッシング指定フィールドを備え、上記転送命令を実行する際、上記アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、上記第1のメモリアドレスに上記第2のレジスタで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、上記第1のメモリアドレスからの領域であり上記第1のレジスタで指定されたワード分の連続したメモリ領域と、上記第3のレジスタで指定された汎用レジスタの間でデータの転送を行い、上記第3のレジスタで指定された汎用レジスタの個数が、上記第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと、上記第2のメモリアドレスから連続したメモリ領域との間でデータ転送することを特徴とするデータ転送方式。

【請求項3】 複数の1ワード長構成の汎用レジスタと、メモリ上の連続した領域のワード数を指定する第1のレジスタと、アドレスオフセット値を指定する第2のレジスタとを備えたデータ処理装置において、上記複数の汎用レジスタの内1つを、上記複数の汎用レジスタにおいて転送の対象となるものを指定する第3のレジ

2

スタとして用い、上記メモリと上記複数の汎用レジスタ間のデータ転送を行う転送命令を持ち、上記転送命令は、上記メモリ上のアドレスを特定するためのアドレッシング指定フィールドを備え、上記転送命令を実行する際、上記アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、上記第1のメモリアドレスに上記第2のレジスタで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、上記第1のメモリアドレスからの領域であり上記第1のレジスタで指定されたワード分の連続したメモリ領域と、上記第3のレジスタで指定された汎用レジスタの間でデータの転送を行い、上記第3のレジスタで指定された汎用レジスタの個数が、上記第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと、上記第2のメモリアドレスから連続したメモリ領域との間でデータ転送することを特徴とするデータ転送方式。

【請求項4】 複数の1ワード長構成の汎用レジスタを有したデータ処理装置において、メモリと複数の汎用レジスタ間のデータ転送を行う転送命令を持ち、上記転送命令は、上記メモリ上の連続した領域のワード数を指定する個数指定フィールドと、アドレスオフセット値を指定するアドレスオフセット指定フィールドと、上記メモリ上のアドレスを特定するためのアドレッシング指定フィールドと、上記複数の汎用レジスタの内転送の対象となるものを指定するレジスタ指定フィールドとを備え、上記転送命令を実行する際、上記アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、上記第1のメモリアドレスに上記アドレスオフセット指定フィールドで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、上記第1のメモリアドレスからの領域であり上記個数指定フィールドで指定されたワード分の連続したメモリ領域と、上記レジスタ指定フィールドで指定された汎用レジスタとの間でデータの転送を行い、上記レジスタ指定フィールドで指定された汎用レジスタの個数が、上記個数指定フィールドで指定されたワード数より多い場合、残りの汎用レジスタと、上記第2のメモリアドレスから連続したメモリ領域との間でデータ転送することを特徴とするデータ転送方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、データ転送機能を有するデータ処理装置に関し、特に複数のデータを1命令で転送する機能を持つデータ転送方式に関するものである。

【0002】

【従来の技術】 従来よりデータ処理装置は、外部メモリと内部の汎用レジスタ間でデータの転送を行なう命令を基本的な機能として備えている。一般的には、単一のデータをソースであるメモリまたはレジスタからデスティ

ネーションであるメモリまたはレジスタに転送する命令を持つが、近年この命令を高機能化し、1命令で高速に複数のデータを転送することが可能なデータ処理装置も製品化されている。

【0003】ここでは、このようなデータ処理装置の一例として、複数のレジスタを指定するレジスタリストフィールドを命令内に持つことによって、複数のデータを複数のレジスタと連続メモリ領域との間で転送するときに、1命令で実行することができる機能を備えたTRON仕様の32ビットマイクロプロセッサ(M32/100 ユーザーズマニュアル1989に開示されている)について説明する。

【0004】複数のデータを、連続メモリ領域と複数のレジスタとの間で転送する命令には、LDMとSTMがある。図9の1は、連続メモリ領域の複数のデータを複数のレジスタに転送する命令LDMの二モニックを表わしたものである。この二モニック1において、オペランドを指定する部分であるオペランド指定部2は、各種のアドレス修飾が可能な、転送するメモリの先頭アドレスを指定する部分である先頭アドレス指定部2aと、16個の32ビット長の汎用レジスタ群R0, R1, ..., R15のうち、どのレジスタにデータを転送するかを指定する部分であるレジスタリスト部2bとからなっている。図10の3に、命令中に含まれる16ビットのレジスタリストフィールドを詳しく示す。このレジスタリストフィールド3の様に、それぞれのビットがMSB側から順に汎用レジスタR0, R1, ..., R15の指定に用いられる。

【0005】図9の二モニック1で表わされるLDMという転送命令は、命令中のオペランド指定部2の先頭アドレス指定部(src)2aで指定されるアドレスを計算して、転送を行なう連続メモリ領域の先頭アドレスとし、次に命令中のレジスタリストフィールド3をMSB側から図10の矢印4の方向に参照し、このうち1となっているビットの示す汎用レジスタに、順にデータを転送していく命令である。

【0006】図11は従来のデータ処理装置の一例で、TRON仕様32ビットマイクロプロセッサM32/100と外部メモリの一部を示すブロック図である。マイクロプロセッサ7中の8は命令のプリフェッチを行なう命令キュー30を含んだ命令フェッチ部(以下IF部という)、9は命令のデコードを行なうデコーダー31を含んだ命令デコード部(以下D部という)、10はオペランドのアドレス計算を行ない、実行アドレスをフェッチするオペランドアドレス計算部(以下A部という)である。11は命令の実行を行なう実行部(以下E部という)で、E部11の中には例えば32ビット長の汎用レジスタ12が16個、およびマイクロROM32、演算器33などが含まれる。13はデータの入出力を行なうバスインターフェース部である。14は8ビット(1

バイト)単位にアドレスが付された外部メモリで、命令やデータが格納されている。15は32ビット幅の外部バスで、15aは外部アドレスバス、15bは外部データバスである。

【0007】次に図9～図11を用いてこの従来例の動作の説明を行なう。図9の二モニック1で表わされる命令が外部メモリ14からIF部8に読み込まれると、この命令はD部9に送られ、デコードされる。ここでこの命令は、複数のデータを連続メモリ領域から複数のレジスタに転送する命令であると判断され、次のA部10へと送られる。A部10では、命令中のオペランド(オペランド指定部2)に対応する部分のうち、転送を行なう連続メモリ領域の先頭アドレス(先頭アドレス指定部2a)に対応する部分で、必要に応じて各種のアドレス修飾によりアドレス計算が行なわれ、実効アドレスをフェッチして次のE部11へと送られる。次にE部11では、命令中のレジスタリストフィールド3をMSB側から参照していき、初めて1となっているビットの指定する汎用レジスタに、外部メモリ14からデータを32ビットだけ外部データバス15bを通して転送する。ひとつのデータの転送が終わると、E部11ではアドレスが4だけインクリメントされ、アドレスバス15aを介して次のデータのメモリ番地が指定される。16ビットのレジスタリストフィールド3をLSBまですべて参照し、上記のような動作を繰り返して、外部メモリ14から汎用レジスタ12にデータの転送が終わると命令を終了する。

【0008】複数のデータを、1命令で複数のレジスタから連続メモリ領域へ転送するという命令STMでは、以上と反対の動作が行なわれる。すなわち、STM命令が外部メモリ14からIF部8に読み込まれた場合、D部9でデコードされ、ここでこの命令が複数のデータを複数のレジスタから連続メモリ領域に転送する命令であると判断され、次のA部10に送られる。A部10では、命令中のオペランドに対応する部分のうち、転送を行なう連続メモリ領域の先頭アドレスに対応する部分で、必要に応じて各種のアドレス修飾によりアドレス計算が行なわれ、実効アドレスをフェッチしてE部11へと送られる。次にE部11では、命令中のレジスタリストフィールド3をMSB側から参照していき、初めに1となっているビットの指定する汎用レジスタ12から外部メモリ14に、データを32ビットだけ外部データバス15bを通して転送する。ひとつのデータの転送が終わると、E部11ではアドレスが4だけインクリメントされ、次に転送が行なわれるデータのメモリ番地がアドレスバス15aを介して指定される。16ビットのレジスタリストフィールド3をLSBまですべて参照し、上記のような動作を繰り返して、汎用レジスタ12から外部メモリ14にデータの転送が終わると命令を終了する。

5

【0009】このデータ処理装置の動作をLDM命令の具体的な一例を挙げて説明する。図12に示すLDM命令16がマイクロプロセッサ7に読み込まれた場合について考えてみる。IF部8にプリフェッチされたLDM命令16は、D部9に送られ、デコードされて、この命令が連続メモリ領域から複数のレジスタへの複数のデータの転送を行なうものであると判断される。また、ソースのアドレス指定方法は、転送を行なうメモリの先頭アドレスを直接指すものであるから、この場合は外部メモリのH'1000番地がソースの連続メモリ領域の先頭アドレスとなり、A部10ではアドレス計算を行なう必要がなく、そのままE部11へと送られる。なお、H'は16進数を意味する。次に、E部11では命令の実行が行なわれる。図12の16のニモニックで表わされる命令中のレジスタリストフィールドは図13に示す3aのようになっている。レジスタリストフィールド3aをMSB側から順に参照して行くと、まずR0の指定ビットに1があるので、H'1000番地のデータを32ビット分、外部データバス15bを通して汎用レジスタR0に転送し、アドレスを4だけインクリメントする。つぎにR1を示すビットにも1があることから、次のH'1004番地の32ビットデータが汎用レジスタR1に転送される。同様にR2レジスタにはH'1008番地のデータが転送される。図13のレジスタリストを参照すると、R3、R4、R5を表わすビットが0であるから、これらの汎用レジスタR3、R4、R5にはデータの転送を行わず、次に1のある汎用レジスタR6にH'100c番地のデータを32ビット分転送する。レジスタリストフィールド3aの残りのビットも参照するが、あとはすべて0であるから、転送は行わず、命令の実行を終了する。

【0010】

【発明が解決しようとする課題】従来のデータ処理装置では、以上のように動作して、1命令で複数のデータを複数のレジスタとメモリの連続領域の間で転送する事ができる。しかし複数のデータを、複数のレジスタと複数の連続メモリ領域の間で転送するためには、いくつかの命令を組み合わせることが必要であった。このため、この間に割込み要求があった場合、処理が分割されるという問題点があった。また、複数の複数のデータ転送命令の間を割り込み禁止処理にするためには、これらの命令の前後で割り込み禁止処理を実行する必要があるという問題点があった。

【0011】この発明は上記のような問題点を解消するためになされたもので、複数のレジスタと複数の連続メモリ領域との間の複数のデータの転送を1度に行なうことができるデータ転送方式を提供することを目的とする。

【0012】

【課題を解決するための手段】請求項1の発明に係るデ

6

ータ転送方式は、転送命令を実行する際、アドレッシング指定フィールド（先頭アドレス指定部22a）を処理して第1のメモリアドレスを算出し、第1のメモリアドレスに第2のレジスタ（アドレスオフセット指定レジスタ25）で指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、第1のメモリアドレスからの領域であり第1のレジスタ（連続領域転送回数指定レジスタ24）で指定されたワード分の連続したメモリ領域と、レジスタ指定フィールド（レジスタリスト部22b）で指定された汎用レジスタとの間でデータの転送を行い、レジスタ指定フィールドで指定された汎用レジスタの個数が、第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと、第2のメモリアドレスから連続したメモリ領域との間でデータ転送するものである。

【0013】請求項2の発明に係るデータ転送方式は、転送命令を実行する際、アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、第1のメモリアドレスに第2のレジスタで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、第1のメモリアドレスからの領域であり第1のレジスタで指定されたワード分の連続したメモリ領域と、第3のレジスタで指定された汎用レジスタの間でデータの転送を行い、第3のレジスタで指定された汎用レジスタの個数が、第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと、第2のメモリアドレスから連続したメモリ領域との間でデータ転送するものである。

【0014】請求項3の発明に係るデータ転送方式は、転送命令を実行する際、アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、第1のメモリアドレスに第2のレジスタで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、第1のメモリアドレスからの領域であり第1のレジスタで指定されたワード分の連続したメモリ領域と、複数の汎用レジスタの内の1つである第3のレジスタで指定された汎用レジスタの間でデータの転送を行い、第3のレジスタで指定された汎用レジスタの個数が、第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと、第2のメモリアドレスから連続したメモリ領域との間でデータ転送するものである。

【0015】請求項4の発明に係るデータ転送方式は、転送命令を実行する際、アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、第1のメモリアドレスにアドレスオフセット指定フィールドで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、第1のメモリアドレスからの領域であり個数指定フィールドで指定されたワード分の連続したメモリ領域と、レジスタ指定フィールドで指定された汎用レジスタとの間でデータの転送を行い、レジスタ指定フ

7

フィールドで指定された汎用レジスタの個数が、個数指定フィールドで指定されたワード数より多い場合、残りの汎用レジスタと第2のメモリアドレスから連続したメモリ領域との間でデータ転送するものである。

【0016】

【作用】請求項1の発明において、転送命令が実行される際、アドレッシング指定フィールドを処理することにより第1のメモリアドレスが算出され、この第1のメモリアドレスに第2のレジスタで指定されたアドレスオフセット値が加えられることにより第2のメモリアドレスが算出される。第1のメモリアドレスからの領域であり第1のレジスタで指定されたワード分の連続したメモリ領域と、レジスタ指定フィールドで指定された汎用レジスタとの間でデータ転送が行なわれる。レジスタ指定フィールドで指定された汎用レジスタの個数が第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと第2のメモリアドレスから連続したメモリ領域との間でデータ転送が行なわれる。

【0017】請求項2の発明において、転送命令が実行される際、アドレッシング指定フィールドを処理することにより第1のメモリアドレスが算出され、この第1のメモリアドレスに第2のレジスタで指定されたアドレスオフセット値が加えられることにより第2のメモリアドレスが算出される。第1のメモリアドレスからの領域であり第1のレジスタで指定されたワード分の連続したメモリ領域と、第3のレジスタで指定された汎用レジスタとの間でデータ転送が行なわれる。第3のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと第2のメモリアドレスから連続したメモリ領域との間でデータ転送が行なわれる。

【0018】請求項3の発明において、転送命令が実行される際、アドレッシング指定フィールドを処理することにより第1のメモリアドレスが算出され、この第1のメモリアドレスに第2のレジスタで指定されたアドレスオフセット値が加えられることにより第2のメモリアドレスが算出される。第1のメモリアドレスからの領域であり第1のレジスタで指定されたワード分の連続したメモリ領域と、複数の汎用レジスタの内の1つである第3のレジスタで指定された汎用レジスタとの間でデータ転送が行なわれる。第3のレジスタで指定された汎用レジスタの個数が第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと第2のメモリアドレスから連続したメモリ領域との間でデータ転送が行なわれる。

【0019】請求項4の発明において、転送命令が実行される際、アドレッシング指定フィールドを処理することにより第1のメモリアドレスが算出され、この第1のメモリアドレスにアドレスオフセット指定フィールドで指定されたアドレスオフセット値が加えられることによ

8

り第2のメモリアドレスが算出される。第1のメモリアドレスからの領域であり個数指定フィールドで指定されたワード分の連続したメモリ領域と、レジスタ指定フィールドで指定された汎用レジスタとの間でデータ転送が行なわれる。レジスタ指定フィールドで指定された汎用レジスタの個数が個数指定フィールドで指定されたワード数より多い場合、残りの汎用レジスタと第2のメモリアドレスから連続したメモリ領域との間でデータ転送が行なわれる。

【0020】

【実施例】

(実施例1) 以下請求項1の発明の一実施例として、16個の32ビット長の汎用レジスタを持ち、連続領域転送個数指定用レジスタとアドレスオフセット指定用レジスタ、及び命令中のレジスタリストフィールドによって、1命令で複数のデータを、複数のレジスタと複数の連続メモリ領域との間で転送することができるデータ処理装置について図1～図8を用いて説明する。

【0021】複数データを2つの不連続なメモリ領域と複数の汎用レジスタとの間で転送する命令を、LDM2とSTM2とする。図1の21は本実施例のデータ処理装置が、1命令で、複数の連続メモリ領域から複数のデータを、複数のレジスタに転送するときのモニタリングDM2を表現したものである。オペランドを指定する部分であるオペランド指定部22は、各種のアドレッシング修飾が可能な、転送する連続メモリ領域の先頭アドレスを指定する部分である先頭アドレス指定部22aと、16個の32ビット長の汎用レジスタ群R0、R1、・・・・・・、R15のうちどのレジスタにデータを転送するかを指定する部分であるレジスタリスト部22bとからなっている。図2の3に命令中に含まれるレジスタリストフィールドを詳しく示す。このレジスタリストフィールド3のようにそれぞれのビットがMSB側から順に汎用レジスタR0、R1、・・・・・・、R15を指定する。また、図2の24には連続領域転送個数指定レジスタ(第1のレジスタ)、25にアドレスオフセット指定レジスタ(第2のレジスタ)について示す。連続領域転送個数指定レジスタ24は4ビットで構成され、0から15までの値を取る。アドレスオフセット指定レジスタ25は8ビットであり、0から256までの値を取ることができる。転送命令LDM2を実行する場合には、連続領域転送個数指定レジスタ24及びアドレスオフセット指定レジスタ25に予め値を設定しておく必要がある。

【0022】図3は本実施例のデータ処理装置におけるマイクロプロセッサと外部メモリの一部分を示すブロック図である。図3において、マイクロプロセッサ7中の8は命令のプリフェッチを行なう命令キュー30を含んだ命令フェッチ部(以下IF部という)、9は命令のデコードを行なうデコーダ31を含んだ命令デコード部

(以下D部)、10はオペランドのアドレス計算を行ない、実行アドレスをフェッチするオペランドアドレス計算部(以下A部)、11は命令の実行を行なう実行部(以下E部)で、E部11の中には32ビット長の汎用レジスタ12が16個、および4ビットの連続領域転送個数指定レジスタ24、8ビットのアドレスオフセット指定レジスタ25や、マイクロROM32、演算器33などが含まれる。13はデータの入出力を行なうバスインターフェース部である。14は8ビット(1バイト)単位にアドレスが付された外部メモリで、命令やデータが格納されている。15は32ビット幅の外部バスで、この外部バス15はアドレスバス15aとデータバス15bから成る。

【0023】次に図1〜図3を用いてこの実施例の動作説明を行なう。図1の二モニク21で表わされる命令が外部メモリ14からIF部8に読み込まれると、この命令はD部9に送られ、デコードされる。ここで、この命令は、複数のデータを複数の連続メモリ領域から複数のレジスタに転送する命令であると判断され、次のA部10に送られる。A部10では、命令中のオペランド(オペランド指定部22)に対応する部分のうち、転送を行なう第1の連続メモリ領域の先頭アドレス(先頭アドレス指定部22a)に対応する部分で、必要に応じて各種のアドレス修飾によりアドレス計算が行なわれ、実効アドレスをフェッチして次のE部11へと送られる。次にE部11では、命令中のレジスタリストフィールド3をMSB側から参照していき、初めに1となっているビットの指定する汎用レジスタ12に、外部メモリ14からデータを32ビットだけ外部データバス15bを通して転送する。ひとつのデータの転送が終わると、E部11ではアドレスが4だけインクリメントされ、アドレスバスを介して次のデータのメモリ番地が指定される。次に連続領域転送個数指定レジスタ24の値を1だけ減らして、その内容を調べて0でない場合には、上記と同様にデータの転送を続けるが、値が0のときには初めの連続メモリ領域の先頭アドレスにアドレスオフセットレジスタ25の値を加えて第2の連続メモリ領域のアドレスとする。16ビットのレジスタリストフィールド3をLSBまですべて参照し、上記のような動作を繰り返して外部メモリ14から汎用レジスタ12にデータの転送が終わると命令を終了する。

【0024】複数のデータを、1命令で複数のレジスタから複数の連続メモリ領域に転送するという命令STM2では、以上と反対の動作が行なわれる。すなわち、STM2命令が外部メモリ14からIF部8に読み込まれた場合、D部9で、デコードされ、ここではこの命令が複数のデータを複数のレジスタから複数の連続メモリ領域に転送する命令であると判断され、次のA部10に送られる。A部10では、命令中のオペランドに対応する部分のうち、転送を行なう第1の連続メモリ領域の先頭

アドレスに対応する部分で、必要に応じて各種のアドレス修飾によりアドレス計算が行なわれ、実効アドレスをフェッチして次のE部11へと送られる。次にE部11では、命令中のレジスタリストフィールド3をMSB側から参照していき、初めに1となっているビットの指定する汎用レジスタ12から外部メモリ14に、データを32ビットだけ外部データバス15bを通して転送する。ひとつのデータの転送が終わると、E部11ではアドレスが4だけインクリメントされ、次に転送が行なわれるデータのメモリ番地がアドレスバス15aを介して指定される。次に連続領域転送個数指定レジスタ24の値を1だけ減らし、その内容を調べて0でない場合には、上記と同様にデータの転送を続けるが、値が0のときには、初めの連続メモリ領域の先頭アドレスにアドレスオフセットレジスタ25の値を加えて次のデータ転送先のアドレスとする。16ビットのレジスタリストフィールド3をLSBまですべて参照し、上記のような動作を繰り返して汎用レジスタ12から外部メモリ14にデータの転送が終わると命令を終了する。

【0025】本実施例のデータ処理装置の動作を、LDM2命令の具体的な一例を挙げて説明する。図8のフローチャートも参照して説明する。図4のような命令21aがマルチプロセッサ7に読み込まれた場合について考えてみる。IF部8にプリフェッチ(ステップS1)された命令21aは、D部9に送られ、デコード(ステップS2)されて、この命令が複数の連続メモリ領域から複数のレジスタへの複数のデータの転送行なうものであると判断される。また、ソースのアドレス指定方法は、転送を行なうメモリの先頭アドレスを直接指すものであるから、この場合は外部メモリ14のH'1000番地がソースの第1の連続メモリ領域の先頭アドレスとなり、A部10ではアドレス計算(ステップS3)を行なう必要がなく、そのままE部11へと送られる。次にE部11では命令の実行が行なわれる。図4の21aのような二モニクで表わされる命令中のレジスタリストフィールドは図5に示す3bのようにになっている。レジスタリストフィールド3bをMSB側から順に参照(ステップS4)して行くと(ステップS5)、まずR0の指定ビットに1があるので(ステップS6)、H'1000番地のデータを32ビット分、外部データバス15bを通して汎用レジスタR0に転送し(ステップS7)、アドレスを4だけインクリメントする(ステップS8)。データの転送が1度終わると連続領域転送個数指定レジスタ24aの値2から1を減じ(ステップS9)、その内容をみると(ステップS10)、1であるから何も行わず、レジスタリストの参照を続ける(ステップS4)。R1を指定するビットに1があることから、次のH'1004番地の32ビットデータが汎用レジスタR1に転送される(ステップS7)。同様にアドレスを4だけインクリメントし(ステップS8)、連続

11

領域転送個数指定レジスタ24aの値1から1を減じ(ステップS9)、その内容をみると0となっているので、第1の連続メモリ領域の先頭アドレスであるH'1000にアドレスオフセットレジスタ25bの値H'40を加えて(ステップS11)H'1040とし、これをつぎに転送を行なうデータの実際アドレスとする。

【0026】アドレスを決定すると、レジスタリストの参照を続け(ステップS12、S13、S14)、R2レジスタを示すビットが1であることからR2レジスタにはH'1040番地のデータが転送される(ステップS15)。アドレスを4だけインクリメントし(ステップS16)、続けてレジスタリストの参照を行なうと(ステップS12、S13、S14)、R3、R4、R5を表すビットが0であるから、これらのレジスタにはデータの転送を行わず、次に1のあるR6レジスタにH'1044番地のデータを32ビット分転送する(ステップS15)。さらにアドレスを4だけインクリメントし(ステップS16)、レジスタリストの残りの*

LDM2 H'1000, (R0-R5, R8, R10)

であり、連続領域転送個数指定レジスタの内容がB'0011=H'3、アドレスオフセット指定レジスタの内容がH'60である場合には、図7に示すように3個のデータは外部メモリの先頭番地に指定されたH'1000番地から連続して転送し、4個目からのデータはH'1000にオフセット値H'60を加えたH'1040番地から転送する。そして命令の実行を終了する。

【0029】(実施例2)なお、上記の実施例では、転送を行なう複数の汎用レジスタを指定するレジスタリストフィールドを命令中に持ち、複数の汎用レジスタと、連続領域個数指定レジスタおよびアドレスオフセットレジスタとを用いて、複数のデータを複数の汎用レジスタと複数の連続メモリ領域との間で転送できるデータ処理装置について述べたが、請求項2の発明に係るように、複数の汎用レジスタを指定するためのレジスタリストを命令中に持つのではなく、専用のレジスタ(第3のレジスタ)を用いることとしても同様の効果を奏する。

【0030】(実施例3)また、請求項3の発明に係るように、転送に係わる汎用レジスタの数を一つ減らし、この汎用レジスタ1個をレジスタリストを示すレジスタ(第3のレジスタ)として用いることとしても同様の効果を奏する。

【0031】(実施例4)また、請求項4の発明に係るように、複数の汎用レジスタを指定するレジスタリストと、連続領域の転送個数を指定するフィールドおよびアドレスオフセットを指定するフィールドを命令中に持つことにしても、同様の効果を得ることができる。

【0032】

【発明の効果】以上のように請求項1の発明によれば、転送命令を実行する際、アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、第1のメモ

12

*ビットを参照するが(ステップS12)、残りのビットはすべて0であるから、転送は行わず、命令の実行を終了する。

【0027】次に図4~図7を参照して動作を説明する。図5の連続領域転送個数指定レジスタ24aの内容はB'0010(B'は2進)すなわちH'2となっているので、命令21aよりH'1000番地を先頭アドレスとして図6に示すように2個のデータは連続したメモリ領域から読み込む。転送に係わる汎用レジスタは図6に示すようにR0、R1、R2、R6なので、汎用レジスタR0にはH'1000番地から32ビットデータを、汎用レジスタR1にはH'1004番地から32ビットデータを読み込む。連続して読み込むデータは2個だけなので、次のデータはアドレスオフセット指定レジスタ25aの内容B'1000000、すなわちH'40を先頭アドレスH'1000に加えたH'1040から読み込む(図6参照)。

【0028】また、例えば命令が

リアドレスに第2のレジスタで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、第1のメモリアドレスからの領域であり第1のレジスタで指定されたワード分の連続したメモリ領域と、レジスタ指定フィールドで指定された汎用レジスタとの間でデータの転送を行い、レジスタ指定フィールドで指定された汎用レジスタの個数が、第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと、第2のメモリアドレスから連続したメモリ領域との間でデータ転送するようにしたので、1命令で複数のデータを複数のレジスタと複数の連続メモリ領域との間で転送することができ、また、この間割込み入力を抑止できるため、割込みマスクに時間を設定する事なく、一連の処理を非分割で行なうことができ、したがって処理効率が向上するという効果が得られる。

【0033】また、請求項2の発明によれば、転送命令を実行する際、アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、第1のメモリアドレスに第2のレジスタで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、第1のメモリアドレスからの領域であり第1のレジスタで指定されたワード分の連続したメモリ領域と、第3のレジスタで指定された汎用レジスタの間でデータの転送を行い、第3のレジスタで指定された汎用レジスタの個数が、第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと第2のメモリアドレスから連続したメモリ領域との間でデータ転送するようにしたので、上記と同様の効果が得られる。

【0034】また、請求項3の発明によれば、転送命令を実行する際、アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、第1のメモ

スに第2のレジスタで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、第1のメモリアドレスからの領域であり第1のレジスタで指定されたワード分の連続したメモリ領域と、複数の汎用レジスタの内の1つである第3のレジスタで指定された汎用レジスタの間でデータの転送を行い、第3のレジスタで指定された汎用レジスタの個数が、第1のレジスタで指定されたワード数より多い場合、残りの汎用レジスタと、第2のメモリアドレスから連続したメモリ領域との間でデータ転送するようにしたので、上記と同様の効果が得られる。

【0035】また、請求項4の発明によれば、転送命令を実行する際、アドレッシング指定フィールドを処理して第1のメモリアドレスを算出し、第1のメモリアドレスに前記アドレスオフセット指定フィールドで指定されたアドレスオフセット値を加えて第2のメモリアドレスを算出し、第1のメモリアドレスからの領域であり個数指定フィールドで指定されたワード分の連続したメモリ領域と、レジスタ指定フィールドで指定された汎用レジスタとの間でデータの転送を行い、レジスタ指定フィールドで指定された汎用レジスタの個数が、個数指定フィールドで指定されたワード数より多い場合、残りの汎用レジスタと、第2のメモリアドレスから連続したメモリ領域との間でデータ転送するようにしたので、上記と同様の効果が得られる。

【図面の簡単な説明】

【図1】請求項1の発明に係る一実施例のデータ処理装置が実行する、複数のデータを複数の連続メモリ領域から複数の汎用レジスタに転送する命令の二モニックを示す図である。

【図2】この実施例のデータ処理装置が実行する、複数のデータを複数の連続メモリ領域から複数の汎用レジスタに転送する命令中に含まれるレジスタリストフィールドと連続領域転送個数指定レジスタとアドレスオフセット指定レジスタの各内容を示す図である。

【図3】請求項1の発明に係る一実施例のデータ転送方式を用いたデータ処理装置の構成を示すブロック図である。

【図4】この実施例のデータ処理装置が実行する、複数

のデータを複数の連続メモリ領域から複数の汎用レジスタに転送する命令の一例を示す図である。

【図5】この実施例のデータ処理装置の図4で表わされる命令中に含まれるレジスタリストフィールドと連続領域転送個数指定レジスタとアドレスオフセット指定レジスタの各内容の一例を示す図である。

【図6】この実施例において連続メモリ領域と不連続なメモリ領域を示す図である。

【図7】この実施例において連続メモリ領域と不連続なメモリ領域を示す図である。

【図8】この実施例において実行される、複数のデータを複数の連続メモリ領域から複数の汎用レジスタに転送する命令の一例のフローチャートである。

【図9】従来のデータ処理装置が実行する、複数のデータをメモリの連続領域から複数の汎用レジスタに転送する命令の二モニックを示す図である。

【図10】従来のデータ処理装置が実行する、複数のデータをメモリの連続領域から複数の汎用レジスタに転送する命令中に含まれるレジスタリストフィールドを示す図である。

【図11】従来のデータ処理装置の構成を示すブロック図である。

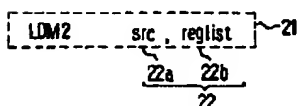
【図12】従来のデータ処理装置の実行する、複数のデータをメモリの連続領域から複数の汎用レジスタに転送する命令の一例を示す図である。

【図13】従来例において図12で表わされる命令中に含まれるレジスタリストフィールドの内容を示す図である。

【符号の説明】

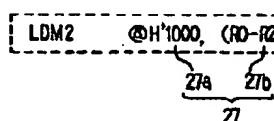
- 12 汎用レジスタ
- 14 外部メモリ
- 22a 先頭アドレス指定部（アドレッシング指定フィールド）
- 22b レジスタリスト部（レジスタ指定フィールド）
- 24, 24a 連続領域転送個数指定レジスタ（第1のレジスタ）
- 25 アドレスオフセット指定レジスタ（第2のレジスタ）

【図1】

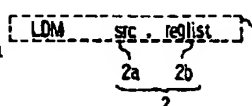


21: 命令の二モニック、22: オペランド指定部、
22a: 先頭アドレス指定部、22b: レジスタリスト部

【図4】



【図9】

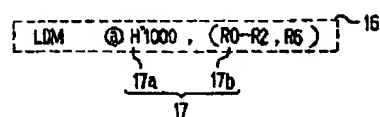
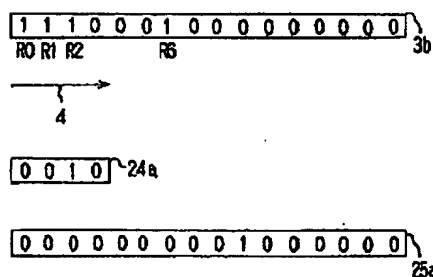


1: 命令の二モニック、2: オペランド指定部、
2a: 先頭アドレス指定部、2b: レジスタリスト部

Figure 1 illustrates the bit positions and registers. The top part shows a 16-bit register with bit positions 0 to 15, where 0 is the MSB and 15 is the LSB. Below this, a 4-bit register (R0-R3) is shown, with bit positions 0 to 3. The bottom part shows a 24-bit register (R0-R15) with bit positions 0 to 15.

25: アドレスオフセット指定レジスタ

【圖 12】



MSB ← → LSB

ビット位置	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
-------	---	---	---	---	---	---	---	---	---	---	----	----	----	----	----	----

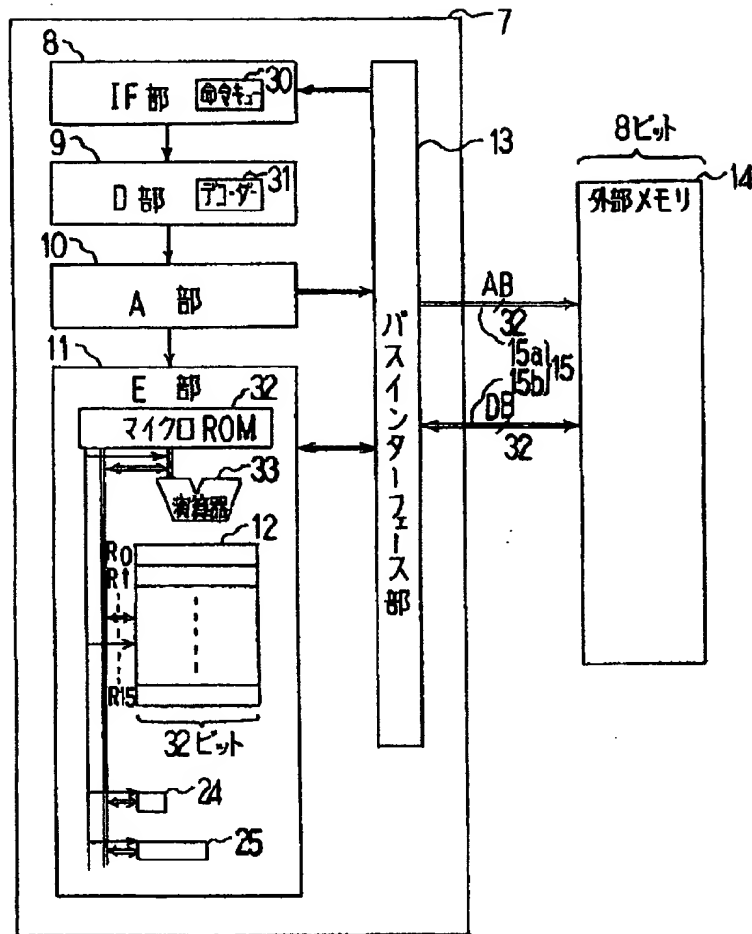
レジスタ R0 R1 R2 R3 R4 R5 R6 R7 R8 R9 R10 R11 R12 R13 R14 R15

→

4

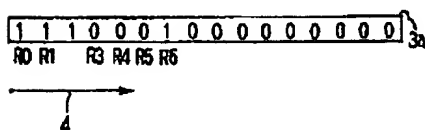
3:レジスタリストフィールド

【図3】

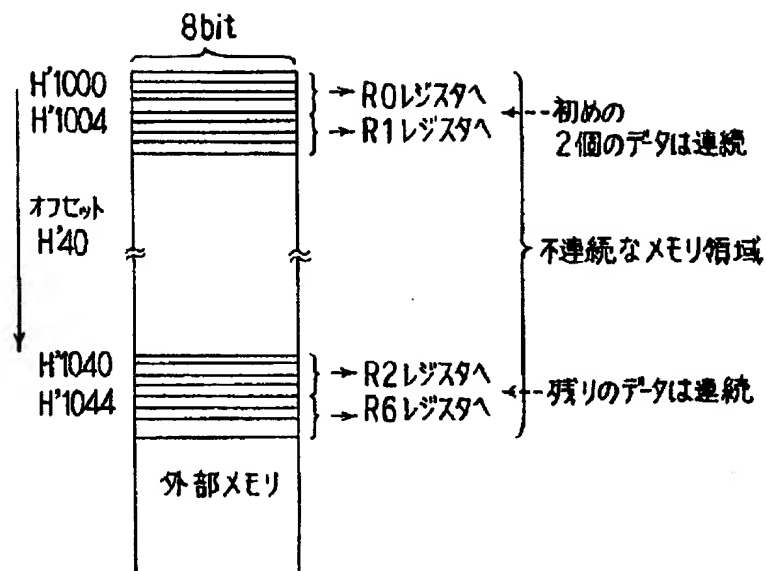


- 7: マイクロプロセッサ
 8: 命令フェッチ部 (IF部)
 9: 命令デコード部 (D部)
 10: アドレス計算部 (A部)
 11: 命令実行部 (E部)
 12: 汎用レジスタ
 15: 外部バス
 15a: 外部アドレスバス
 15b: 外部データバス
 24: 連続領域転送回数指定レジスタ
 25: アドレスオフセット指定レジスタ

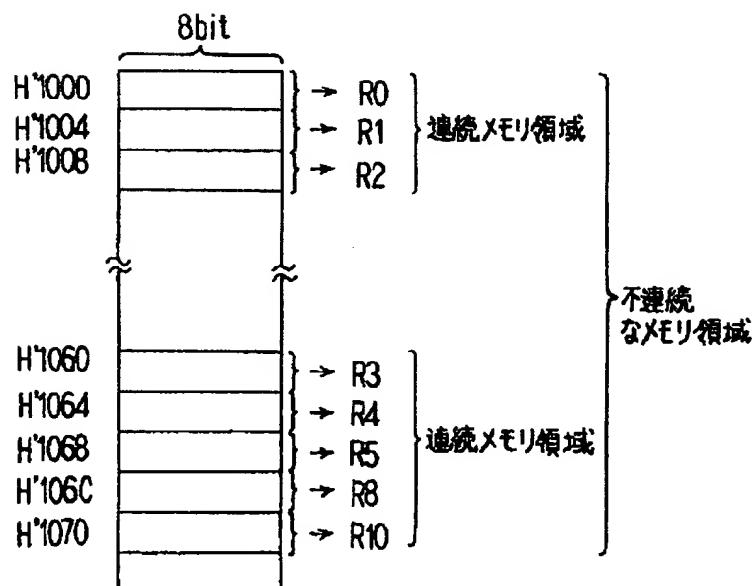
【図13】



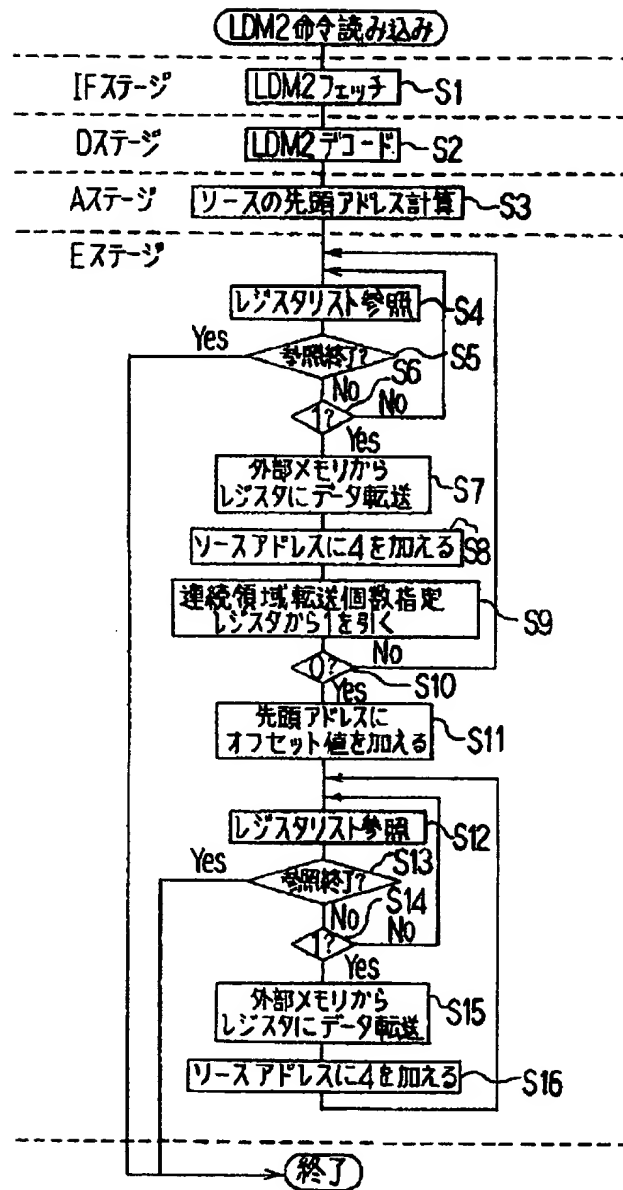
【図6】



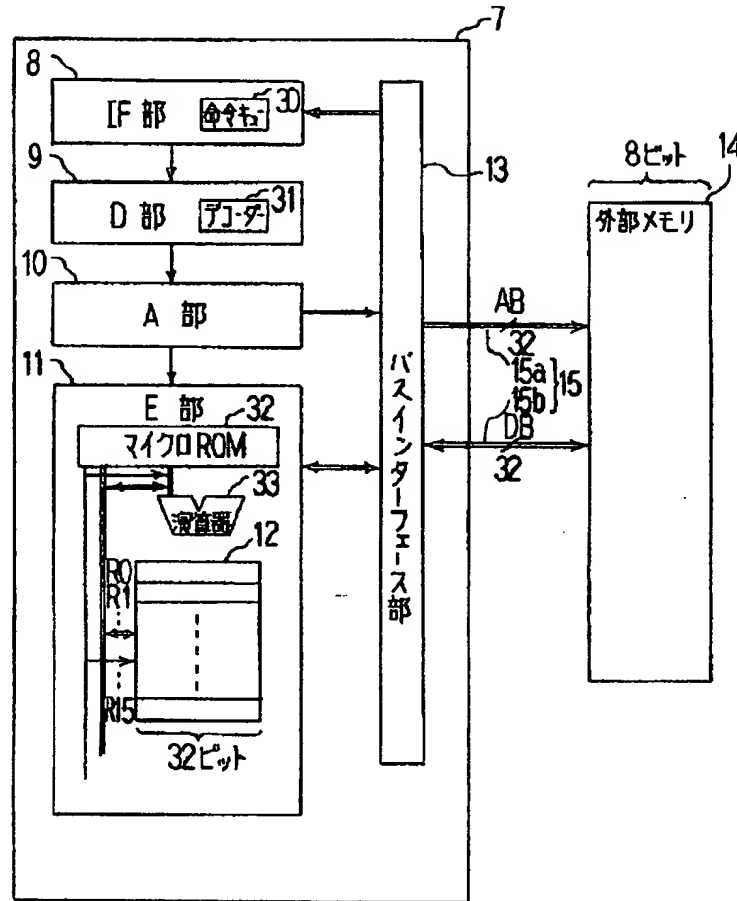
【図7】



【図8】



【図11】



【手続補正書】

【提出日】平成4年6月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】次に図9～図11を用いてこの従来例の動作の説明を行なう。図9のモニタ1で表わされる命令が外部メモリ14からIF部8に読み込まれると、この命令はD部9に送られ、デコードされる。ここでこの命令は、複数のデータを連続メモリ領域から複数のレジスタに転送する命令であると判断され、次のA部10へと送られる。A部10では、命令中のオペランド（オペランド指定部2）に対応する部分のうち、転送を行なう

連続メモリ領域の先頭アドレス（先頭アドレス指定部2a）に対応する部分で、必要に応じて各種のアドレス修飾によりアドレス計算が行なわれ、実効アドレスをフェッチして次のE部11へと送られる。次にE部11では、A部10でフェッチした外部メモリ14の実効アドレスをアドレスバス15aを介して指定し、命令中のレジスタリストフィールド3をMSB側から参照していき、初めて1となっているビットの指定する汎用レジスタに、外部メモリ14からデータを32ビットだけ外部データバス15bを通して転送する。ひとつのデータの転送が終わると、E部11ではアドレスが4だけインクリメントされ、アドレスバス15aを介して次のデータのメモリ番地が指定される。16ビットのレジスタリストフィールド3をLSBまですべて参照し、上記のよう

な動作を繰り返して、外部メモリ14から汎用レジスタ12にデータの転送が終わると命令を終了する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】複数データを2つの不連続なメモリ領域と複数の汎用レジスタとの間で転送する命令を、LDM2とSTM2とする。図1の21は本実施例のデータ処理装置が、1命令で、複数の連続メモリ領域から複数のデータを、複数のレジスタに転送するときのニモニックLDM2を表わしたものである。オペランドを指定する部分であるオペランド指定部22は、各種のアドレッシング修飾が可能な、転送する連続メモリ領域の先頭アドレスを指定する部分である先頭アドレス指定部22aと、16個の32ビット長の汎用レジスタ群R0、R1、・・・、R15のうちどのレジスタにデータを転送するかを指定する部分であるレジスタリスト部22bとからなっている。図2の3に命令に含まれるレジスタリストフィールドを詳しく示す。このレジスタリストフィールド3のようにそれぞれのビットがMSB側から順に汎用レジスタR0、R1、・・・、R15を指定する。また、図2の24には連続領域転送個数指定レジスタ（第1のレジスタ）、25にアドレスオフセット指定レジスタ（第2のレジスタ）について示す。連続領域転送個数指定レジスタ24は4ビットで構成され、0から15までの値を取る。アドレスオフセット指定レジスタ25は8ビットであり、0から255までの値を取ることができる。転送命令LDM2を実行する場合には、連続領域転送個数指定レジスタ24及びアドレスオフセット指定レジスタ25に予め値を設定しておく必要がある。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】次に図1～図3を用いてこの実施例の動作説明を行なう。図1のニモニック21で表わされる命令が外部メモリ14からIF部8に読み込まれると、この命令はD部9に送られ、デコードされる。ここで、この命令は、複数のデータを複数の連続メモリ領域から複数のレジスタに転送する命令であると判断され、次のA部10に送られる。A部10では、命令中のオペランド（オペランド指定部22）に対応する部分のうち、転送を行なう第1の連続メモリ領域の先頭アドレス（先頭アドレス指定部22a）に対応する部分で、必要に応じて各種のアドレス修飾によりアドレス計算が行なわれ、実効アドレスをフェッチして次のE部11へと送られる。

次にE部11では、A部10でフェッチした外部メモリ14の実効アドレスをアドレスバス15aを介して指定し、命令中のレジスタリストフィールド3をMSB側から参照していき、初めに1となっているビットの指定する汎用レジスタ12に、外部メモリ14からデータを32ビットだけ外部データバス15bを通して転送する。ひとつのデータの転送が終わると、E部11ではアドレスが4だけインクリメントされ、アドレスバスを介して次のデータのメモリ番地が指定される。次に連続領域転送個数指定レジスタ24の値を1だけ減らして、その内容を調べて0でない場合には、上記と同様にデータの転送を続けるが、値が0のときには初めの連続メモリ領域の先頭アドレスにアドレスオフセットレジスタ25の値を加えて第2の連続メモリ領域のアドレスとする。16ビットのレジスタリストフィールド3をLSBまですべて参照し、上記のような動作を繰り返して外部メモリ14から汎用レジスタ12にデータの転送が終わると命令を終了する。

【手続補正4】

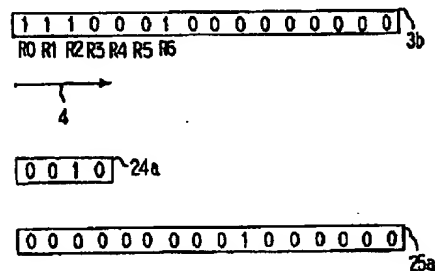
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



【手続補正5】

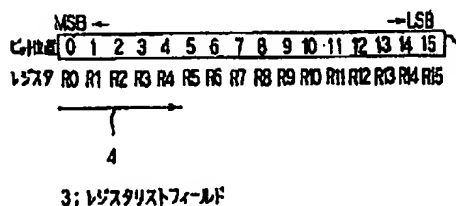
【補正対象書類名】図面

【補正対象項目名】図10

【補正方法】変更

【補正内容】

【図10】



【手続補正6】

【補正対象書類名】図面

(15)

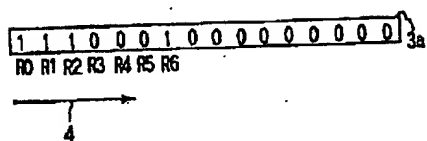
特開平5-46379

【補正対象項目名】 図13

【補正方法】 変更

【補正内容】

【図13】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.